

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-280555

(43)Date of publication of application : 27.09.2002

(51)Int.Cl.

H01L 29/78

(21)Application number : 2001-074188

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 15.03.2001

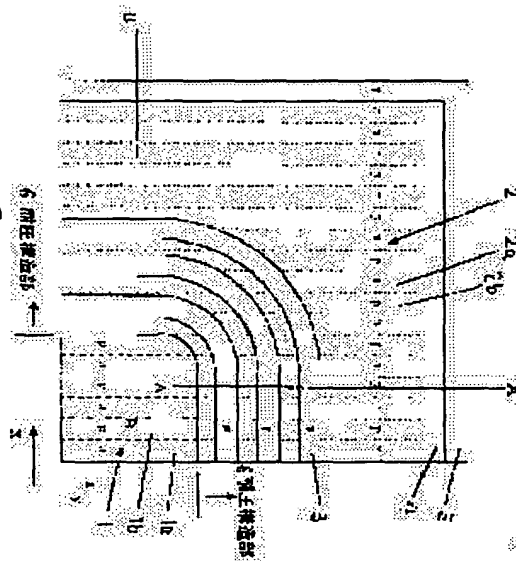
(72)Inventor : ONISHI YASUHIKO
FUJIHIRA TATSUHIKO
UENO KATSUNORI
IWAMOTO SUSUMU
SATO TAKAHIRO
NAGAOKA TATSUJI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a leakage current in an off-state and to achieve stable dielectric strength in a super junction semiconductor element for largely improving a trade-off relationship between on-resistance and a breakdown voltage.

SOLUTION: On a vertical MOSFET, a dielectric strength structure (element peripheral part) 2 is placed between a surface and a drain layer 11 around a vertical drift 1 having a first parallel pn structure, acts as a non-electric path region in an on-state, and is depleted in the off-state. The dielectric strength structure has a second parallel pn structure in which a vertical n-type region 2a and a vertical p-type region 2b are alternately joined. Further, an n-type region 4 and a p-type region 5 are provided on the periphery of the second parallel pn structure to reduce the leakage current in the off-state.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-280555

(P2002-280555A)

(43)公開日 平成14年9月27日(2002.9.27)

(51)Int.Cl.⁷

H 0 1 L 29/78

識別記号

6 5 2

F I

H 0 1 L 29/78

テームコード*(参考)

6 5 2 P

6 5 2 C

6 5 2 G

6 5 2 H

6 5 2 S

審査請求 未請求 請求項の数13 O L (全 10 頁)

(21)出願番号 特願2001-74188(P2001-74188)

(22)出願日 平成13年3月15日(2001.3.15)

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72)発明者 大西 泰彦

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72)発明者 藤平 龍彦

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74)代理人 I00088339

弁理士 篠部 正治

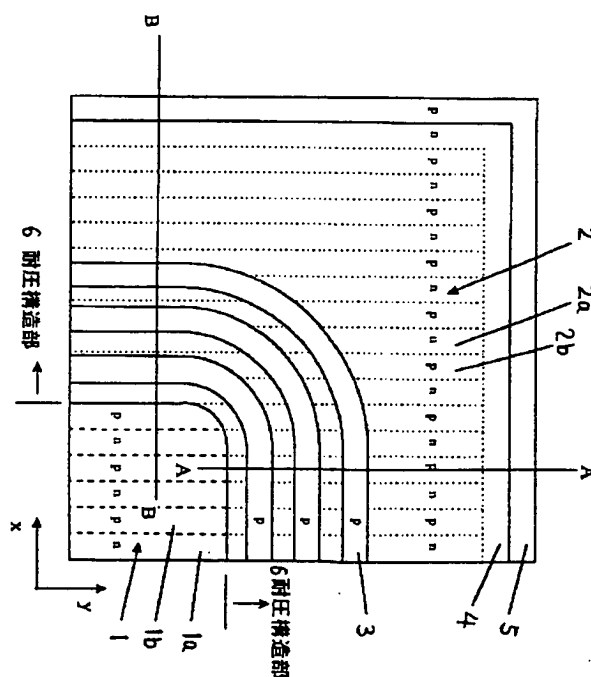
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】オン抵抗と耐圧とのトレードオフ関係を大幅に改善する超接合半導体素子において、オフ時の漏れ電流を低減すると共に、安定な耐圧を実現する周縁部構造を提供する。

【解決手段】縦形MOSFETにおいて、第1の並列pn構造の縦形ドリフト部1の周りで表面とドレイン層11との間に介在し、オン状態では非電路領域であってオフ状態では空乏化する耐圧構造部(素子外周部)2が、縦形n型領域2aと縦形p型領域2bとを交互に繰り返して接合してなる第2の並列pn構造を備えている。更に、この第2の並列pn構造の外周にn型領域4とp形領域5を設けてオフ時の漏れ電流を低減する。



1

【特許請求の範囲】

【請求項1】 基板の第1主面側に形成された活性部と、基板の第2主面側に形成された第1導電型の低抵抗層と、前記活性部と前記抵抗層との間に介在する縦形ドリフト部とを有し、該縦形ドリフト部が前記基板の厚み方向に配向する縦形第1導電型領域と前記基板の厚み方向に配向する縦形第2導電型領域とを交互に繰り返して接合してなる第1の並列p n構造とを備える半導体装置において、前記縦形ドリフト部の周りで前記第1主面と前記低抵抗層との間に介在する耐压構造部が、前記基板の厚み方向に配向する縦形第1導電型領域と前記基板の厚み方向に配向する縦形第2導電型領域とを交互に繰り返して接合してなる第2の並列p n構造と、該第2の並列p n構造の外周に配置した第1導電型領域と、第1導電型領域の外周に配置した第2導電型領域とを有することを特徴とする半導体装置。

【請求項2】 前記第2導電型領域が第1導電型領域により第2の並列p n構造の第2導電型領域から分離されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記第1導電型領域が第1導電型の低抵抗層と接続していることを特徴とする請求項1ないし2のいずれか一項に記載の半導体装置。

【請求項4】 前記第2導電型領域と電氣的に接続した電極が絶縁膜を介して第1導電型領域上に配置されていることを特徴とする請求項1ないし3のいずれか一項に記載の半導体装置。

【請求項5】 前記電極が絶縁膜を介して少なくとも第2の並列p n構造の一部上に配置されていることを特徴とする請求項4に記載の半導体装置。

【請求項6】 前記並列p n構造の第1導電型領域および第2導電型領域が平面的にストライプ状であることを特徴とする請求項1ないし5のいずれか一項に記載の半導体装置。

【請求項7】 第2の並列p n構造のp n繰り返しピッチが第1の並列p n構造のp n繰り返しピッチよりも狭いことを特徴とする請求項1ないし6のいずれか一項記載の半導体装置。

【請求項8】 第1の並列p n構造のストライプの方向に対し、第2の並列p n構造のストライプの方向が概ね垂直、あるいは概ね平行に配置されていることを特徴とする請求項1ないし7のいずれか一項に記載の半導体装置。

【請求項9】 基板の第1主面側に形成された活性部と、基板の第2主面側に形成された第1導電型の低抵抗層と、前記活性部と前記抵抗層との間に介在する縦形ドリフト部とを有し、該縦形ドリフト部が前記基板の厚み方向に配向する縦形第1導電型領域と前記基板の厚み方向に配向する縦形第2導電型領域とを交互に繰り返して接合してなる並列p n構造を備える半導体装置において、前記縦形ドリフト部の周りで前記第1主面と前記低抵抗

2

層との間に介在し、第1導電型と第2導電型の不純物の両方をドーピングした高抵抗領域と、該高抵抗領域の外周に配置した第1導電型領域と、第1導電型領域の外周に配置した第2導電型領域とを有することを特徴とする半導体装置。

【請求項10】 前記第2導電型領域が第1導電型領域により高抵抗領域から分離されていることを特徴とする請求項9に記載の半導体装置。

【請求項11】 前記第1導電型領域が高抵抗領域の下方に形成されている低抵抗層と接続していることを特徴とする請求項9ないし10のいずれか一項に記載の半導体装置。

【請求項12】 前記第2導電型領域と電氣的に接続した電極が絶縁膜を介して第1導電型領域上に配置していることを特徴とする請求項9ないし11のいずれか一項に記載の半導体装置。

【請求項13】 前記電極が絶縁膜を介して少なくとも高抵抗領域の一部上に配置していることを特徴とする請求項12に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、MOSFET（絶縁ゲート型電界効果トランジスタ）、IGBT（絶縁ゲート型バイポーラトランジスタ）、バイポーラトランジスタ等の能動素子やダイオード等の受動素子に適用可能で高耐圧化と大電流量化が両立する縦型パワー半導体装置に関する。

【0002】

【従来の技術】 一般に半導体装置は、基板の片面のみに電極部を持つ横型素子と、基板の両面に電極部を持つ縦型素子とに大別できる。縦型素子は、オン時にドリフト電流が流れる方向と、オフ時に逆バイアス電圧による空乏層が延びる方向とが共に基板の厚み方向（縦方向）である。図9は、通常のプレーナ型のnチャネル縦型MOSFETの断面図である。この縦型MOSFETは、裏側のドレイン電極18が導電接触した低抵抗のn+ドレイン層11の上に形成された高抵抗のn-ドレイン・ドリフト層12と、このドリフト層12の表面層に選択的に形成されたチャネル拡散層としてのpベース領域（pウェル）13と、そのpベース領域13内の表面側に選択的に形成された高不純物濃度のn+ソース領域14及びオーミックコンタクトを確保するための高不純物濃度のp+コンタクト領域19と、pベース領域13のうちn+ソース領域14とドリフト層12とに挟まれた表面上にゲート絶縁膜15を介して設けられたポリシリコン等のゲート電極層16と、n+ソース領域14及びp+コンタクト領域19の双方表面に導電接触するソース電極層17とを有している。

【0003】 このような縦型素子において、高抵抗のn-ドレイン・ドリフト層12の部分は、MOSFETがオン状

50

3

態の時は縦方向にドリフト電流を流す領域として働き、オフ状態の時はpベース領域13とのpn接合から空乏層が深さ方向へ拡張して空乏化し耐圧を高める働きをする。この高抵抗のn-ドレイン・ドリフト層12の厚さ（電流経路長）を薄く（短く）することは、オン状態ではドリフト抵抗が低くなるのでMOSFETの実質的なオン抵抗（ドレインソース抵抗）を下げる効果に繋がるものの、オフ状態ではpベース領域13とn-ドレイン・ドリフト層12との間のpn接合から拡張するドレインベース間空乏層の拡張幅が狭くなるため、空乏電界強度がシリコンの最大（臨界）電界強度に速く達するので、ドレインソース電圧が素子耐圧の設計値に達する前に、ブレークダウンが生じ、耐圧（ドレインソース電圧）が低下してしまう。逆に、n-ドレイン・ドリフト層12を厚く形成すると、高耐圧化を図ることができるが、必然的にオン抵抗が大きくなり、オン損失が増す。すなわちオン抵抗（電流容量）と耐圧との間にはトレードオフ関係がある。このトレードオフ関係は、ドリフト層を持つIGBT、バイポーラトランジスタ、ダイオード等の半導体素子においても同様に成立することが知られている。また、この問題は、オン時にドリフト電流が流れる方向と、オフ時の逆バイアスによる空乏層の延びる方向が異なる横型半導体素子についても共通である。

【0004】この問題に対する解決法として、縦型ドリフト部として不純物濃度を高めたn型の領域とp型の領域とを交互に繰り返して多重接合した並列pn構造である半導体装置が、EP0053854、USP5216275、USP5438215、特開平9-266311号公報および特開平10-223896号公報などにおいて知られている。図10は、USP5216275に開示された縦型MOSFETの一例を示す断面図である。図9の半導体装置との構造上の違いは、ドレイン・ドリフト部22が単一・単一のn-導電型層（不純物拡散層）ではなく、縦形層状のn型のドリフト電路領域22aと縦形層状のp型の仕切領域22bとを交互に繰り返して多重接合した並列pn構造となっており、pベース領域13のウエル底にp型の仕切領域22bが接続し、相隣接するpベース領域13、13のウエル端部の間にn型のドリフト電路領域22aが接続している。ドレイン・ドリフト部22の並列pn構造の不純物濃度が高くて、オフ状態では並列pn構造の縦方向に配向する各pn接合から空乏層がその横方向双方に拡張し、ドリフト部22全体が早期に空乏化するため、高耐圧化を図ることができる。なお、このようなオン状態では電流を流すとともに、オフ状態では空乏化する並列pn構造のドレイン部22を備える半導体素子を、以下に超接合半導体素子と称することとする。

【0005】

【発明が解決しようとする課題】通常、耐圧構造におけるチャンネルストップ領域としては、ドリフト層と同じ導電型が適用されるが、プロセスによっては逆の導電型が

4

形成されることがある。nチャネル縦型MOSFET（ドリフト層はn型）の場合、チャンネルストップ領域にp型が形成されることになる。このような場合、素子周縁部の空乏層が最外周のp型領域に到達しないように、最外周のpベース領域に接続するチャンネルストップ電極を活性領域側に張り出させ、耐圧を安定化させている。ところが、素子周縁部にp型領域とn型領域とからなる並列pn層を配置するnチャネル超接合MOSFETの場合においては、活性部のpベース領域に接続する並列pn層のp型領域がチャンネルストップ領域のp型領域に接続してしまうため、漏れ電流が大きくなる問題がある。漏れ電流が増大すると、オフ時の発生損失が増大するだけでなく、熱暴走により素子を破壊する恐れがある。そこで、本発明の目的は、オン抵抗と耐圧とのトレードオフ関係を大幅に改善する超接合半導体素子において、オフ時の漏れ電流を低減するとともに、安定な耐圧を実現する周縁部構造を提供することにある。

【0006】

【課題を解決するための手段】上記課題を解決するために、基板の第1主面側に形成された活性部と、基板の第2主面側に形成された第1導電型の低抵抗層と、前記活性部と前記低抵抗層との間に介在する縦形ドリフト部とを有し、該縦形ドリフト部が前記基板の厚み方向に配向する縦形第1導電型領域と前記基板の厚み方向に配向する縦形第2導電型領域とを交互に繰り返して接合してなる第1の並列pn構造とを備える半導体装置において、前記縦形ドリフト部の周りで前記第1主面と前記低抵抗層との間に介在する耐圧構造部が、前記基板の厚み方向に配向する縦形第1導電型領域と前記基板の厚み方向に配向する縦形第2導電型領域とを交互に繰り返して接合してなる第2の並列pn構造と、該第2の並列pn構造の外周に配置した第1導電型領域と、第1導電型領域の外周に配置した第2導電型領域とを有するものとする。第2導電型領域が第1導電型領域により第2の並列pn構造の第2導電型領域から分離されているものとする。また、第1導電型領域が並列pn構造の下方に形成されている低抵抗層と接続しているものとする。

【0007】第2導電型領域と並列pn構造の第2導電型領域とが第1導電型領域で分離されることにより、逆バイアス印可時に発生する漏れ電流経路を遮断することができるので、漏れ電流を低減できる。また、第1導電型領域が並列pn構造の下方に形成されている低抵抗層と連続していることにより、耐圧を安定化させることができる。第2導電型領域と電気的に接続した電極が絶縁膜を介して第1導電型領域上に配置されているものとする。望ましくは電極が絶縁膜を介して少なくとも第2の並列pn構造の一部上に配置されているものとする。このような電極を設けることにより、逆バイアス印可時の空乏層が最外周の第2導電型領域に達することがないので、耐圧の信頼性が向上する。

5

【0008】第2の並列pn構造のpn繰返しピッチが第1の並列pn構造のpn繰返しピッチよりも狭くする。第1及び第2の部分の並列pn構造が平面的にストライプ状であり、第1の部分のストライプの方向に対し、第2の部分のストライプの方向が概ね垂直、あるいは概ね平行に配置されているものとする。平面的にストライプ状である並列pn構造の第1及び第2の部分との配置関係は垂直でも平行であってもよく、第2導電型領域と第2の部分の並列pn構造の第2導電型領域が第1導電型領域で分離されていけばよい。

【0009】第1と第2の主面と、第1と第2の主面間に低抵抗層と、第1導電型領域と第2導電型領域とを交互に配置した並列pn構造とを備える半導体装置において、並列pn構造の外側に配置した第1導電型と第2導電型の不純物の両方をドーパした高抵抗領域と、高抵抗領域の外周に配置した第1導電型領域と、第1導電型領域の外周に配置した第2導電型領域とを有し、第2導電型領域が第1導電型領域により高抵抗領域から分離されているものとする。

【0010】この場合においても、第2導電型領域と高抵抗領域が第1導電型領域で分離されることにより、逆バイアス印可時に発生する漏れ電流経路を遮断することができるので、漏れ電流を低減できる。

【0011】

【発明の実施の形態】以下に本発明の実施例を添付図面に基づいて説明する。なお、以下でn又はpを冠記した層や領域は、それぞれ電子又は正孔を多数キャリアとする層や領域を意味する。また、上付き文字+は比較的高不純物濃度、上付き文字-は比較的低不純物濃度を意味する。

〔実施例1〕図1は、本発明の縦型MOSFETのチップを示す概略図で方形のチップを4等分した角部を示す部分平面図である。理解を容易にするために、並列pn層(点線)とガードリング3及び最外周のp型領域(実線)のみを示している。図2は、図1中のA-A線に沿って切断した部分を示す断面図である。図3は、図1中のB-B線に沿って切断した部分を示す断面図である。本例のnチャネル縦形MOSFETは、裏側のドレイン電極18が導電接触した低抵抗のn+ドレイン層(ドレイン・コンタクト層)11の上に形成された第1の並列pn構造のドレイン・ドリフト部1と、このドリフト部1の表面側に選択的に環状又はストライプ状のセルとして形成された不純物高濃度のpベース領域(pウェル)13と、そのpベース領域13内の表面側に選択的に形成された不純物高濃度のn+ソース領域14と、基板表面上にゲート絶縁膜15を介して設けられたポリシリコン等のゲート電極層16と、層間絶縁膜22に開けたコンタクト孔を介してpベース領域13のp+コンタクト領域19及びn+ソース領域14の双方に導電接触するソース電極17とを有している。ウェル状のpベース領域13の中にn+ソース領域14が浅く形成されており、2重拡散

6

型MOS部を構成している。

【0012】このドレイン・ドリフト部1は、n+ドレイン層11のサブストレートの上にn型のエピタキシャル成長層を幾層も積み増した厚い積層として形成されており、基板の厚み方向に層状縦形のn型ドリフト電路領域1aと基板の厚み方向に層状縦形のp型仕切領域1bとを交互に繰返して多重接合した構造である。本例では、n型のドリフト電路領域1aは、隣接するpベース領域13のウェル端部間に位置し、その上端が基板表面に達し、その下端がn+ドレイン層11に接している。また、p型の仕切領域1bは、その上端がpベース領域13のウェル両端部を除くウェル底に接し、その下端がn+ドレイン層11に接している。本例は耐圧が600Vクラスのものであり、ドリフト電路領域1aとp型の仕切領域1bの層厚は各6 μ mで、深さは約40 μ mである。それぞれの不純物濃度は $3.0 \times 10^{15} \text{cm}^{-3}$ である。

【0013】図1に示すように、チップ平面に主体的に占めるドリフト部1の周りで、基板表面とn+ドレイン層11との間には、オン状態では概ね非電路領域であってオフ状態では空乏化する耐圧構造部(素子外周部)6が形成されている。この耐圧構造部6は、基板の厚さ方向に配向する層状の縦形n型領域2aと、基板の厚さ方向に配向する層状の縦形p型領域2bとを交互に繰返して多重接合して成る第2の並列pn構造2となっている。ドリフト部1の第1の並列pn構造と耐圧構造部6の第2の並列pn構造2とは平行に配置されている。即ち、ドリフト部1の第1の並列pn構造の層面と耐圧構造部6の第2の並列pn構造2とは層面が相平行し、それらの境界部分では互いに逆導電型の領域となつて、pn繰返しが連続している。図2に示すように、耐圧構造部6の第2の並列pn構造2におけるpn繰返し端面とドリフト部1の第1の並列pn構造におけるpn繰返し端面とが接続している。本例では、耐圧構造部6の第2の並列pn構造2におけるpn繰返しピッチはドリフト部1の第1の並列pn構造におけるpn繰返しピッチと同じであり、pベース領域13のウェル端部迄(図2に点線で示す)がドリフト部1の第1の並列pn構造であり、pベース領域13の周縁部側が耐圧構造部6の第2の並列pn構造2である。このため、ドリフト部1の第1の並列pn構造と耐圧構造部6の第2の並列pn構造2の各部の幅、深さ、不純物濃度は同じである。なお、耐圧構造部6の表面上には、表面保護及び安定化のために、熱酸化膜又は燐シリカガラス(PSG)からなる厚い酸化膜(絶縁膜)20が成膜されている。耐圧構造部6の外側には、基板の厚み方向に配向し比較的厚い層厚のn型領域4が配置されている。このn型領域4はp型領域5を介してドレイン電圧と同電位の周縁電極21に電気的に接続している。n型領域4が裏面側のn+ドレイン層11に接続しており、そのn型領

7

域4の表面の一部領域にp型領域5が形成されている。

【0014】pベース領域13の拡散深さ $3.0\mu\text{m}$ 、表面不純物濃度 $3.0\times 10^{17}\text{cm}^{-3}$ 、n+ソース領域14の拡散深さ $1.0\mu\text{m}$ 、表面不純物濃度 $3.0\times 10^{20}\text{cm}^{-3}$ 、n+ドレイン層11の不純物濃度 $2.0\times 10^{18}\text{cm}^{-3}$ 、厚さ $300\mu\text{m}$ 、最外周p型領域5の拡散深さ $3.0\mu\text{m}$ 、表面不純物濃度 $3.0\times 10^{17}\text{cm}^{-3}$ 、外周部n型領域4の幅 $50.0\mu\text{m}$ （表面での幅 $20\mu\text{m}$ ）不純物濃度 $6.0\times 10^{15}\text{cm}^{-3}$ である。なお、並列pn層の繰り返しピッチはドレイン・ドリフト部1、
10 耐圧構造部6とも 12mm である。次に本例の動作について説明する。ゲート電極層16に所定の正の電位を印加すると、nチャネル型MOSFETはオン状態となり、ゲート電極層16直下のpベース領域13の表面に誘起される反転層を介して、ソース領域14からチャネル領域（n型表面ドリフト領域）1aに電子が注入され、その注入された電子がドリフト電路領域1aを通してn+ドレイン層11に達し、ドレイン電極18とソース電極17との間が導通する。

【0015】ゲート電極層16への正の電位を取り去ると、MOSFETはオフ状態となり、pベース領域13の表面に誘起される反転層が消滅し、ドレイン電極18とソース電極17との間が遮断する。更に、このオフ状態の際、逆バイアス電圧（ソース・ドレイン間電圧）が大きいと、pベース領域13とチャネル領域1aとの間のpn接合からそれぞれpベース領域13とチャネル領域1aに空乏層が拡張して空乏化すると共に、ドリフト部1の各仕切領域1bはpベース領域13を介してソース電極17に電気的に接続し、ドリフト部1の各ドリフト電路領域1aはn+ドレイン層11を介してドレイン電極18に電気的に接続しているため、仕切領域1bとドリフト電路領域1aとの間のpn接合からの空乏層が仕切領域1bとドリフト電路領域1aの双方に拡張するので、ドリフト部1の空乏化が早まる。従って、ドリフト部1の高耐圧化が十分確保されているので、ドリフト部1の不純物濃度を高く設定でき、大電流量化も確保できる。

【0016】ここで、本例のドリフト部1の周りの耐圧構造部6には第2の並列pn構造2が形成されている。この第2の並列pn構造2の中で幾つかのp型領域2bは、pベース領域13を介してソース電極17に電気的に接続し、また各n型領域2aはn+ドレイン層11を介してドレイン電極18に電気的に接続しているため、耐圧構造部6のpn接合から拡張した空乏層によって、基板厚み全長に亘り概ね空乏化される。このため、表面ガードリング構造やフィールドプレート構造のように耐圧構造部6の表面側を空乏化させるだけでなく、外周部や基板深部までも空乏化させることができるので、耐圧構造部6の電界強度を大幅緩和でき、高耐圧を確保できる。それ故、超接合半導体素子の高耐圧化を実現でき
50

8

る。

【0017】特に、本例では、耐圧構造部6に更にガードリング部3を設けているので耐圧信頼性が高い。即ち、耐圧構造部6の表面側にはドリフト部1を取り囲むように多重のp型のガードリング3が巡らされている。このガードリング3は耐圧構造部6の第2の並列pn構造2の多数のp型領域2bを電気的に接続するものである。そして、このガードリング3の不純物濃度はp型領域2bの不純物濃度よりも高い。ゲートをソースにショートし、ドレイン電位を正に高めていくと、ドリフト部1の並列pn構造が空乏化すると共に、ドリフト部1から耐圧構造部6へと空乏層が拡張する。ここで、ガードリング3がない場合、耐圧構造部6の第2の並列pn構造2のうち、一端がpベース領域13に直接接続しているp型領域2bではy方向に空乏層が拡張するものの、一端がpベース領域13に直接接続していないx方向では比較的高濃度のn型領域の為、空乏層が十分に拡張する前に、活性部と耐圧構造部境界の並列pn層のpn接合で臨界電界に達してしまう。それ故、高耐圧を得ることができない。

【0018】ところが、本例では、一端がpベース領域13に直接接続していないp型領域2b（耐圧構造部6のx方向）はガードリング3を介して一端がpベース領域13に直接接続しているp型領域2b（耐圧構造部6のy方向）に電気的に接続されているため、y方向の活性部からのガードリングの距離に応じた電位が、x方向の表面に分布することになるので、x方向の活性部と耐圧構造部境界の並列pn層の電界が緩和されることになり、空乏層がx方向へ拡張する。従って、高耐圧化を図ることができる。このガードリング3による耐圧構造は並列pn構造の幅に関係なく設計できるので、高耐圧化と共に低抵抗化が可能である。

【0019】本例ではまた、ガードリング3の不純物濃度がp型領域2bの不純物濃度よりも高くなっているため、p型領域2bの空乏化と共に、ガードリング3も空乏化して均圧リングとして作用しなくなるということはない。耐圧構造部6のpn繰り返し端面がドリフト部1のpn繰り返し端面に接続しているため、耐圧構造部6の空乏化率が高い。従って、ドリフト部1に第1の並列pn構造を採用した超接合半導体素子にあっても、その周りの耐圧構造部6の耐圧が第2の並列pn構造2によって十分に保証されることになるため、ドリフト部1の第1の並列pn構造の最適化が容易で、超接合半導体素子の設計自由度が高まり、超接合半導体素子を実用化できる。

【0020】本例ではまた、最外周のp型領域5と並列pn層のp型領域2bとが接続している場合（図2,3において、表面側にn型領域4が形成されず、最外周p型領域5が並列pn層のp型領域2bに接続している場合）、ゲート電極をソース電極にショートし、ドレイン電極に正の

9

電圧を印加していくと、耐压構造部におけるy方向の空乏層が並列p n層の横方向(x方向)に広がり始める。この時、空乏化しない並列p n層のp型領域2 bと最外周のp型領域5は等電位であるため、側面に形成されるp n接合が降伏しない限り漏れ電流は低く抑えられる。ドレイン電圧を上げていくと、側面に形成されるp n接合が降伏するため、漏れ電流はドレイン電圧の増加に伴い増加する。さらにドレイン電圧を上げていくと、並列p n層が完全に空乏化するため漏れ電流は飽和するが、大きな漏れ電流のためオフ時における発生損失が大きくなってしまふ。一方、最外周のp型領域5と素子周縁部(耐压構造部)の並列p n層のp型領域2 bとを分離するn型領域4がある場合、n型領域4が完全に空乏化しなければ、漏れ電流の電流経路が遮断されるため漏れ電流は低く抑えることが可能となる。

【0021】さらに、p型領域5に接続するAl-Si、Alなどの周縁電極21が絶縁膜20を介してn型領域4と耐压構造部の第2の並列p n構造2の層上に配置されていれば、n型領域4により分離されたp型領域5は、ドレイン電位とほぼ同電位であるため、空乏層はこの電極端より外周側に広がり難く、n型領域4がパンチスルーするのを防げると共に、最外周部の電位を固定できるので耐压を安定化できる。なお、本例では耐压構造にガードリング3を用いているが、フィールドプレート構造でもリサーフ構造でもこれらの併用であっても構わない。なお、耐压クラスを変更する場合、各並列p n構造の長さ方向の長さを耐压クラスに応じた長さに変更すれば良い。例えば900Vクラスの場合、60.0 μ m程度であれば良い。

【0022】【実施例2】図4、5は、本発明の実施例2に係る縦形MOSFETにおけるチップの断面図である。図4は、図1中のA-A線に沿って切断した部分に相当し、図2に対応している。図5は、図1中のB-B線に沿って切断した部分に相当し、図3に対応している。本例の実施例1との構造上の違いは、n型領域4aが基板の表面側のみに形成されている点である。基板の表面側に形成されたn型領域4aは、x、y方向とも並列p n層2のn型領域2aと接続されており、この部分のn型領域4aが空乏化しなければ、ドレイン電位を保持するため実施例1と同様の効果が得られる。

【0023】【実施例3】図6は、本発明の実施例3に係る縦形MOSFETにおけるチップを示す概略図で方形のチップを4等分した角部を示す部分平面図である。図6は、図1に対応している。図6は、素子周縁部の耐压構造部6にドリフト部1の並列pn構造のピッチより狭いストライプ状の第2の並列p n構造2を配置した場合であり、ドリフト部1の並列p n構造に対し耐压構造部6の第2の並列p n構造2を平行に配置している。ドリフト部1の並列p n構造のストライプに対し耐压構造部6の第2の並列pn構造2のピッチを狭くすることによ

10

り、単位面積当たりの空乏層は拡がり易く、高耐压化が容易となる。この場合においても、y方向に形成される漏れ電流経路をn型領域4によって遮断しているため、漏れ電流を低く抑えることができる。なお、耐压構造部における第2の並列p n構造2のn型領域2a及びp型領域2bの幅は3.0 μ m、不純物濃度 3.0×10^{14} cm⁻³であり、ドリフト部1の不純物濃度より低くしている。この場合に、ピッチを同じくして不純物濃度だけを低くしてもよい。

【0024】【実施例4】図7は、本発明の実施例4に係る縦形MOSFETにおけるチップを示す概略図で方形のチップを4等分した角部を示す部分平面図である。図7は、図1に対応している。図7は、図6の変形例であり、図6と異なる点は耐压構造部6のストライプ状の第2の並列p n構造2がドリフト部1のストライプ状の並列p n構造に対し垂直に配置されている点である。耐压構造部6の第2の並列p n構造の配置は、ドリフト部1の並列p n構造のストライプに対し、平行でも垂直でもいずれでも良く、最外周部のp型領域5が、n型領域4によって、第2の並列p n構造2のp型領域2bから分離されていればよい。

【0025】【実施例5】図8は、本発明の実施例5に係る縦形MOSFETにおけるチップを示す概略図で方形のチップを4等分した角部を示す部分平面図である。図8は、図1に対応している。図8は、耐压構造部6がp型不純物とn型不純物の両方をドーピングした高抵抗領域(i層)2Aからなる場合である。n型不純物とp型不純物が同じ領域におよそ同量含まれている場合、これらp、n型不純物はお互いに補償するため、高抵抗層(i層)として作用する。また、非常に接近している異なる領域においても、およそ同量の不純物であれば、お互い補償し合うため高抵抗層(i層)として機能する。なお、実際にはn型かp型の高抵抗層となる。高抵抗層がn型の場合は、最外周のp型領域5を分離するn型領域4がなくても、漏れ電流の電流経路は存在しないが、p型の高抵抗層の場合は、高抵抗層がソース層に接続されているため、x、y方向に漏れ電流経路が形成されてしまふ。それゆえ、高抵抗層を囲むn型領域4によって最外周のp型領域5を確実に分離する必要がある。なお、上記各実施例では、縦形MOSFETで説明したが、本発明はIGBT(伝導度変調型MOSFET)、バイポーラトランジスタなどの3端子以上の縦形能動素子は勿論のこと、FWD、ショットキーダイオード等の2端子の受動素子にも適用できるものである。

【0026】

【発明の効果】以上説明したように、本発明は、ドリフト部の周りの耐压構造部を並列p n構造とすると共に、最外周部に形成されるp型領域と耐压構造部の並列p n構造のp型領域とを分離するn型領域とを並列p n構造の外周に配置することにより、オン抵抗と耐压のトレードオ

11

フ関係を大幅に改善できる超接合半導体素子において、オフ状態の漏れ電流を大幅に低減するとともに、耐圧の信頼性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の実施例1に係る縦形MOSFETのチップを示す部分平面図である。

【図2】図1中のA-A線に沿って切断した状態を示す断面図である。

【図3】図1中のB-B線に沿って切断した状態を示す断面図である。

【図4】本発明の実施例2に係る縦形MOSFETで、図1中のA-A線に沿って切断した部分に相当する断面図である。

【図5】本発明の実施例2に係る縦形MOSFETで、図1中のB-B線に沿って切断した部分に相当する断面図である。

【図6】本発明の実施例3に係る縦形MOSFETのチップを示す部分平面図である。

【図7】本発明の実施例4に係る縦形MOSFETのチップを示す部分平面図である。

【図8】本発明の実施例5に係る縦形MOSFETのチップを示す部分平面図である。

【図9】従来の単一導電型のドリフト層を持つ縦形MOSFETを示す部分断面図である。

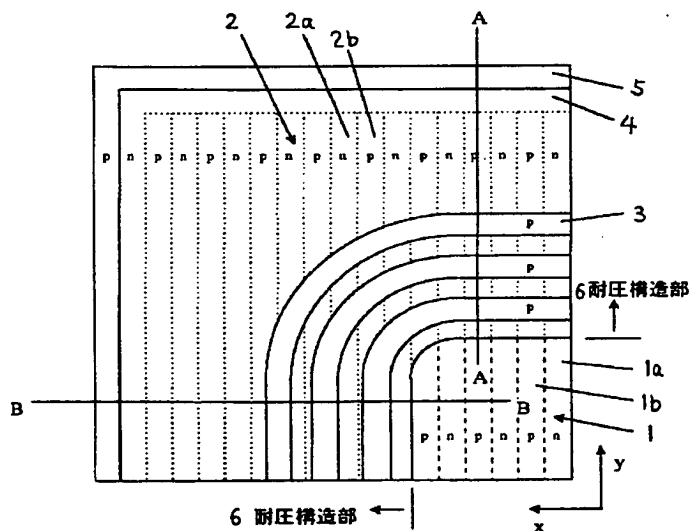
12

*【図10】従来の並列pn構造のドリフト層を持つ縦形MOSFETを示す部分断面図である。

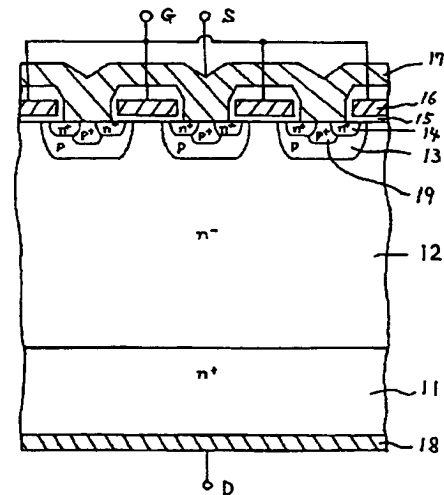
【符号の説明】

- 1 ドリフト部（第1の並列pn構造）
- 1a n型ドリフト電路領域
- 1b p型仕切領域
- 2 第2の並列pn構造
- 2a n型領域
- 2b p型領域
- 10 3 ガードリング
- 4 n型領域
- 5 p型領域
- 6 耐圧構造部
- 1aa チャネル領域
- 11 n+ドレイン層
- 13 高不純物濃度のpベース領域（pウェル）
- 14 n+ソース領域
- 15 ゲート絶縁膜
- 16 ゲート電極層
- 20 17 ソース電極
- 18 ドレイン電極
- 19 p+コンタクト領域
- 20 絶縁膜
- * 21 周縁電極

【図1】



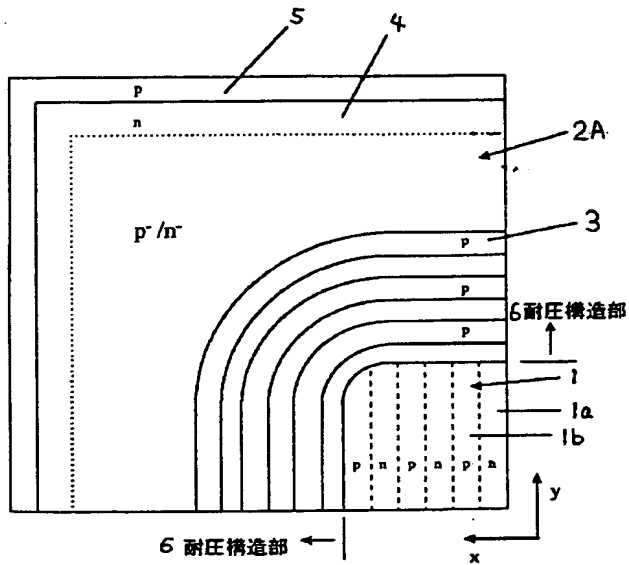
【図9】



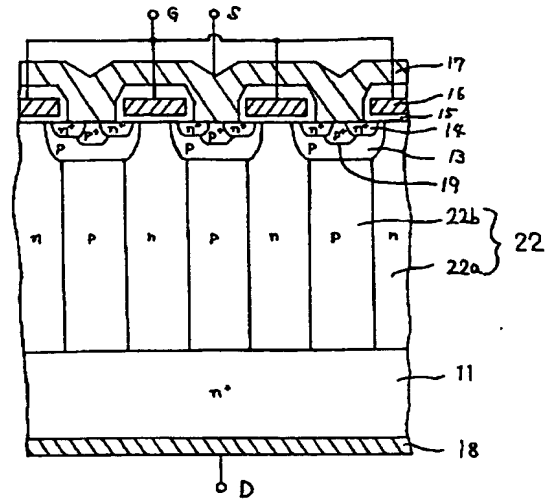
This diagram shows a cross-sectional view of a semiconductor device. It features a substrate 18 with a base layer 11. A series of vertical columns are formed on the substrate, each containing a p-n junction. The columns are labeled with 'p' and 'n' regions. A top layer 20 is shown, with a central region 3. A side layer 21 is also present. The device includes various electrical contacts and interconnects, labeled with numbers 5, 4a, 10a, 10b, 11, 12, 13, 14, 15, 16, 17, and 18. The diagram illustrates the complex internal structure of the device, including the p-n junctions and the various layers and contacts.

Figure 1 is a schematic diagram of a cross-section of a semiconductor device. The diagram shows a rectangular substrate with a top layer (5) and a bottom layer (6). A central region (2) contains a grid of dots (p and n). A curved region (3) is shown on the right side, with a dashed line (1) and a solid line (1a) indicating a boundary. A coordinate system (x, y) is shown at the bottom right. Labels 1, 1a, 1b, 2, 2a, 2b, 3, 5, and 6 indicate different layers and regions. Arrows point to '6 耐压構造部' (6 high-voltage structure part) at the top and bottom.

【図 8】



【图 10】



フロントページの続き

(72) 発明者 上野 勝典
神奈川県川崎市川崎区田辺新田 1 番 1 号
富士電機株式会社内

(72) 発明者 岩本 進
神奈川県川崎市川崎区田辺新田 1 番 1 号
富士電機株式会社内

(72) 発明者 佐藤 高広
神奈川県川崎市川崎区田辺新田 1 番 1 号
富士電機株式会社内

(72) 発明者 永岡 達司
神奈川県川崎市川崎区田辺新田 1 番 1 号
富士電機株式会社内